

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2004207583
PUBLICATION DATE : 22-07-04

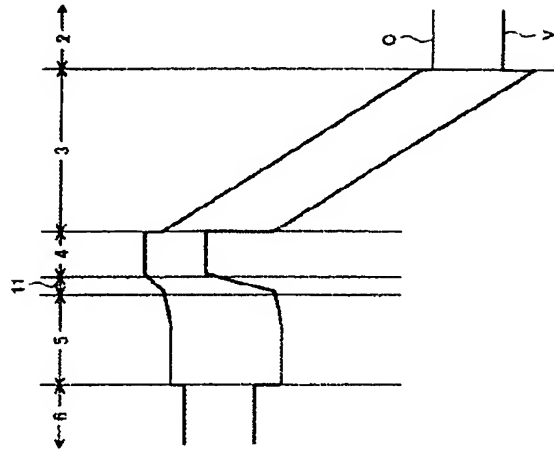
APPLICATION DATE : 26-12-02
APPLICATION NUMBER : 2002376488

APPLICANT : SONY CORP;

INVENTOR : HASE ICHIRO;

INT.CL. : H01L 21/331 H01L 29/737

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : **PROBLEM TO BE SOLVED:** To provide a semiconductor device having a heterojunction bipolar transistor capable of suppressing the deterioration of basic transistor characteristics such as deterioration of injection efficiency from an emitter layer to a base layer caused by increase of emitter resistance, deterioration of withstand voltage between the base layer and a collector layer, and deterioration of reliability caused by defective introduction while reducing an offset voltage and a knee voltage of the heterojunction bipolar transistor.

SOLUTION: In the semiconductor device having the heterojunction bipolar transistor having an emitter layer 5, a base layer 4 and a collector layer 3; electron affinity of the base layer 4 is smaller than electron affinity of the emitter layer 5 and the collector layer 3, an intermediate layer 11 or 12 is formed between the emitter layer 5 and the base layer 4 or between the base layer 4 and the collector layer 3, and the electron affinity of the intermediate layer 11 or 12 has a value between the electron affinity of two layers holding the intermediate layer 11 or 12 therebetween.

COPYRIGHT: (C)2004,JPO&NCIPI

PAGE RI ANK (ISPTQ)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207583

(P2004-207583A)

(43) 公開日 平成16年7月22日(2004. 7. 22)

(51) Int. Cl.⁷

H01L 21/331

H01L 29/737

F I

H01L 29/72

H

テーマコード (参考)

5F003

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願2002-376488 (P2002-376488)

(22) 出願日 平成14年12月26日 (2002. 12. 26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 長谷 伊知郎

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム (参考) 5F003 AP00 BA00 BA13 BA92 BB04

BC04 BE04 BF06 BG06 BM03

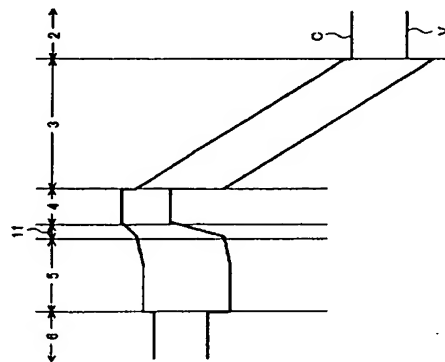
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ヘテロ接合バイポーラトランジスタのオフセット電圧ならびにニー電圧を低減しながら、エミッタ抵抗の上昇によるエミッタ層からベース層への注入効率の低下、ベース層とコレクタ層の間の耐圧の劣化、または欠陥導入による信頼性低下などの基本的なトランジスタ特性の悪化を抑制できるヘテロ接合バイポーラトランジスタを有する半導体装置を提供する。

【解決手段】 エミッタ層5、ベース層4およびコレクタ層3を有するヘテロ接合バイポーラトランジスタを有する半導体装置であって、ベース層4の電子親和力がエミッタ層5およびコレクタ層3の電子親和力よりも小さく、エミッタ層5とベース層4の間およびベース層4とコレクタ層3の間の少なくともいずれか一方に中間層11または12が形成され、中間層11または12の電子親和力は中間層11または12を挟む2つの層の電子親和力の間の値を有する構成とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

エミッタ層、ベース層およびコレクタ層を有するヘテロ接合バイポーラトランジスタを有する半導体装置であって、

前記ベース層の電子親和力が、前記エミッタ層および前記コレクタ層の電子親和力よりも小さく、

前記エミッタ層と前記ベース層の間および前記ベース層と前記コレクタ層の間の少なくともいずれか一方に中間層が形成されており、

前記中間層の電子親和力は前記中間層を挟む 2 つの層の電子親和力の間の値を有する半導体装置。

10

【請求項 2】

前記中間層が前記エミッタ層と前記ベース層の間および前記ベース層と前記コレクタ層の間の両方に形成されている

請求項 1 に記載の半導体装置。

【請求項 3】

前記中間層の電子親和力が前記中間層を挟む 2 つの層の電子親和力をなめらかに接続するようなプロファイルを有する

請求項 1 に記載の半導体装置。

【請求項 4】

前記中間層の電子親和力が前記中間層を挟む 2 つの層の電子親和力を接続するように複数の段の階段状のプロファイルを有する

20

請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特にヘテロ接合バイポーラトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

半導体装置に用いられるトランジスタとしては、バイポーラトランジスタと MOS（金属-酸化膜-半導体）電界効果トランジスタなどの電界効果トランジスタに大別される。

30

【0003】

バイポーラトランジスタの一つであるヘテロ接合バイポーラトランジスタ（Hetero Junction Bipolar Transistor、以下 HBT と称する）は、エミッタ層にベース層よりもバンドギャップが広い材料を用いたバイポーラトランジスタであり、エミッタ層よりもベース層の不純物濃度を濃くしてもエミッタ層からベース層への電子の注入効率（エミッタ効率）を高く保つことができる。

従って、ベース層厚を縮小してもベース層の抵抗を低く保ち、またベース層のパンチスルーを抑えてエミッタ・コレクタ間の耐圧を高く保つことができる。基本的に高速・高耐圧性能に優れたデバイスである。

40

【0004】

また、HBT は高い電流駆動能力を有することから、電力増幅器（パワーアンプ、以下 PA と称する）用デバイスとして優れ、さらに単一電源動作が容易であるというメリットから、近年、移動体通信端末用 PA として広範に使用されてきている。

【0005】

PA における効率の良さを示す指標として、電力付加効率（Power-Added Efficiency: PAE）が知られている。PAE は、付加電力、つまり出力パワー P_{out} と入力パワー P_{in} の差の、直流投入電力 P_{dc} に対する比として定義され、この値が大きいほどパワーアンプの消費電力を抑制することが可能であるため、この値はパワーアンプにおける重要な指標のひとつとなっている。移動体通信端末では全消費電力のうち送

50

信側パワーアンプによる電力消費が大きな割合を占めるため、特に重要である。

【0006】

上記のHBTのうちInPと格子整合するHBTとしては、例えば、基板上に、n型のInGaAsよりなるコレクタ層、P型のInGaAsよりなるベース層、および、n型のInPよりなるエミッタ層が順次積層された構成（第1世代のHBTとも称する）が知られている。

この第1世代のHBTは非常に高速に駆動させることが可能であるが、コレクタ層のバンドギャップが狭いためベース・コレクタ間の耐圧が弱いという欠点がある。

【0007】

上記に対して、例えば基板上に、n型のInPよりなるコレクタ層、P型のInGaAsよりなるベース層、および、n型のInPよりなるエミッタ層が順次積層されたダブルヘテロ構造の構成（第2世代のHBTとも称する）が知られている。

この第2世代のHBTは、第1世代のHBTに対してコレクタ層をワイドギャップにした構造であって、耐圧を向上させることができる。

しかしながら、ベース層よりもコレクタ層の電子親和力が小さいために、そのままだとベース層からコレクタ層への電流の流れが妨げられるため、これを改善するために、ベース・コレクタ間のエネルギーバンドプロファイルを 그레이ディッドにするなどの工夫が必要となっている。

【0008】

ところで、このようなHBTを用いてパワーアンプを構成する場合、そのPAEを向上させるためにデバイス側に要求されることのひとつに、 $I_c - V_{ce}$ 特性におけるニー（Knee）電圧 V_k の低減がある。

ニー電圧を低減するには、 $I_c - V_{ce}$ 特性における I_c の立ち上がり電圧であるオフセット電圧 V_{offset} を小さくする必要がある。

上記のオフセット電圧 V_{offset} は、エミッタ・ベース間の順方向立ち上がり電圧 V_{teb} とベース・コレクタ間の順方向立ち上がり電圧 V_{tbc} の差、 $V_{teb} - V_{tbc}$ でほぼ決まる。

【0009】

ところが、エミッタの電子親和力がベースの電子親和力よりも小さなヘテロ接合系では、ベース層とコレクタ層の間に伝導体端のエネルギー不連続がない場合、エミッタ層とベース層の間に生じる伝導帯端のエネルギー不連続量を ΔE_c とすると、 $V_{teb} - V_{tbc}$ の値がほぼ ΔE_c となる。

すなわち、上記の第1世代のHBTでは、 $V_{teb} - V_{tbc}$ の値はそれなりに大きな値を取ることになってしまう。

一方、上記の第2世代のHBTでは、ベース層を中心にエミッタ層とコレクタ層が対称な構成となるので、この場合には $V_{teb} - V_{tbc}$ の値をほぼ0に近づけられるものの、ベース・コレクタ間に 그레이ディッドなエネルギーバンドプロファイルの中間層を設けると、 $V_{teb} - V_{tbc}$ の値はそれなりの値になってしまう。

【0010】

一方、エミッタやコレクタの電子親和力がベースの電子親和力よりも大きな、いわゆるスタガード・タイプ（Staggered Type）のヘテロ接合系のHBTにおいては、 $V_{teb} - V_{tbc}$ の値がほぼ0となるため、オフセット電圧 V_{offset} を低減する上で好都合である。

【0011】

図7は上記のスタガード・タイプのHBTの一例の断面図である。

上記の半導体装置は、例えば、半絶縁性のFeがドーパされた単結晶InPよりなる基板1上に、n⁺型のInGaAsよりなるサブコレクタ層2、n型のInPよりなるコレクタ層3、P⁺型のGaAsSbよりなるベース層4、n型のInPよりなるエミッタ層5、n型のInGaAsよりなるキャップ層6が順次積層されている。

キャップ層6の上にはエミッタ電極7が形成されている。また、ベース、コレクタへのオーミックコンタクト形成のためにメサ構造が形成され、ベース層4、サブコレクタ層2の

一部が、それぞれ、ベース電極 8、コレクタ電極 9 と接するようになっている。

これらの電極は、例えば $Ti/Pt/Au$ の積層体から形成されている。

また、電極と接していない半導体表面は、例えば Si_3N_4 よりなる絶縁膜 10 により覆われている。

【0012】

図 8 は、図 7 に示す HBT に対応するエネルギーバンド構造を示す模式図であり、伝導帯 C と価電子帯 V のエネルギー準位を示している。

エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであることを示している。

このような HBT においては、先に述べたように、オフセット電圧 V_{offset} の値を 0 に近づけやすいというメリットがある。

【0013】

例えば、下記の特許文献 1 および 2 には上述の第 1 世代の HBT についての記載があり、特許文献 3 には上述のスタガード・タイプの HBT についての記載がある。

また、下記の特許文献 4～7 には、 $AlGaAs/GaAs$ 系など、その他の種類の HBT についての記載がある。

【0014】

【特許文献 1】

特開平 5-41388 号公報

【特許文献 2】

特開平 6-326120 号公報

【特許文献 3】

特開 2002-270616 号公報

【特許文献 4】

特開平 6-260493 号公報

【特許文献 5】

特開平 8-250509 号公報

【特許文献 6】

特開平 11-176838 号公報

【特許文献 7】

特開 2002-270817 号公報

【0015】

【発明が解決しようとする課題】

しかしながら、上記のスタガード・タイプの HBT は、エミッタ層とベース層の間に生じる伝導帯端のエネルギー不連続量 ΔEc が大きすぎると、エミッタ抵抗が高くなり、エミッタ層からベース層への電子の注入効率が下がってしまうという問題が生じる。

また、この ΔEc が大きすぎるとベース層とコレクタ層の間の耐圧が低下するという問題が生じやすくなる。

さらに他の問題として、図 7 に示す構造の HBT においては、製造プロセスにおいて、エミッタ・ベース間の Pn 接合の表面が一部露出してしまい、これに起因して欠陥が導入されてしまうことがあり、信頼性が低下してしまうことになる。

このように、スタガード・タイプの HBT は、オフセット電圧 V_{offset} の値を 0 にしやすく、ニー電圧を低減することができるといった利点がある一方で、エミッタ抵抗の増加、ベース層とコレクタ層の間の耐圧低下、あるいは欠陥導入による信頼性低下などの基本的なトランジスタ特性を悪化させてしまう場合がある。

【0016】

本発明は上記の状況に鑑みてなされたものであり、本発明の目的は、ヘテロ接合バイポーラトランジスタのオフセット電圧 V_{offset} ならびにニー電圧の低減を可能にしながら、エミッタ抵抗が高くなってエミッタ層からベース層への注入効率が下がること、ベース層とコレクタ層の間の耐圧を劣化させること、あるいは欠陥が導入されて信頼性が低下してし

まうことなどの基本的なトランジスタ特性が惡化することを抑制できるヘテロ接合バイポーラトランジスタを有する半導体装置を提供することである。

【0017】

【課題を解決するための手段】

上述の目的を達成するため、本発明の半導体装置は、エミッタ層、ベース層およびコレクタ層を有するヘテロ接合バイポーラトランジスタを有する半導体装置であって、前記ベース層の電子親和力が、前記エミッタ層および前記コレクタ層の電子親和力よりも小さく、前記エミッタ層と前記ベース層の間および前記ベース層と前記コレクタ層の間の少なくともいずれか一方に中間層が形成されており、前記中間層の電子親和力は前記中間層を挟む2つの層の電子親和力の間の値を有する。

10

【0018】

上記の本発明の半導体装置は、好適には、前記中間層が前記エミッタ層と前記ベース層の間および前記ベース層と前記コレクタ層の間の両方に形成されている。

【0019】

上記の本発明の半導体装置は、エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであるスタaggerド・タイプのHBTを有する。

このHBTにおいて、エミッタ層とベース層の間およびベース層とコレクタ層の間の少なくともいずれか一方に、好ましくは両方に、それを挟む2つの層の電子親和力の間の値の電子親和力を有する中間層が形成されている。

20

【0020】

【発明の実施の形態】

以下に、本発明の半導体装置の実施の形態について、図面を参照して説明する。

【0021】

第1実施形態

本実施形態に係る半導体装置は、エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであるスタaggerド・タイプのHBTを有し、図1は上記のスタaggerド・タイプのHBTの断面図である。

例えば、半絶縁性のFeがドーパされた単結晶InPよりなる基板1上に、 n^+ 型のInGaAsよりなるサブコレクタ層2、 n 型のInPよりなるコレクタ層3、 P^+ 型のGaAsよりなるベース層4、 n^+ 型のInGaAsよりなるベース・エミッタ中間層11、 n 型のInPよりなるエミッタ層5、 n^+ 型のInGaAsよりなるキャップ層6が順次積層されている。

30

キャップ層6の上にはエミッタ電極7が形成されている。ベースコンタクト形成のために、キャップ層6、エミッタ層5の一部が除去され、メサ構造が形成されている。ベース電極8近傍のベース・エミッタ中間層11は除去されていてベース電極8とベース層4が直接コンタクトしていてもよく、あるいは、ベース電極8とベース層4の間に、ベース・エミッタ中間層11の一部が介在してもいい。

コレクタ電極9の形成のためにもメサ構造が形成され、サブコレクタ層2の上部にコレクタ電極9が形成されている。

40

エミッタ電極7、ベース電極8、コレクタ電極9は、例えば、Ti/Pt/Auの積層体から形成されている。

また、電極と接していない半導体表面は、例えばSi₃N₄よりなる絶縁膜10により覆われている。

【0022】

図2は、図1に示すHBTに対応するエネルギーバンド構造を示す模式図であり、伝導帯Cと価電子帯Vのエネルギー準位を示している。

エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであり、いわゆるスタaggerド・タイプであることを示している。

ここで、ベース・エミッタ中間層11の電子親和力は、これを挟むエミッタ層とベース層

50

の電子親和力の間の値を有しており、即ち、エミッタ層よりも電子親和力が小さく、ベース層よりも電子親和力が大きい構成となっている。このようなエネルギープロフィールを有する構成材料として、例えば InGaAsSb を用いることができる。

特に、ベース・エミッタ中間層 11 は、エミッタ層からベース層に向かって電子親和力が連続的に徐々に減少するようなプロフィールを有しており、これにより、ベース・エミッタ中間層 11 を挟むエミッタ層とベース層の電子親和力がなめらかに接続されるようなプロフィールとなっている。

この場合、例えば InGaAsSb の組成において、エミッタ層からベース層に向かって組成比が連続的に変化するような組成傾斜を有する構成となっている。

【0023】

本実施形態の HBT において、エミッタ層からベース層に向かって電子親和力が連続的に徐々に減少するような材料で構成されたベース・エミッタ中間層 11 が設けられているが、その理由は、図 7 に示す従来例に係る HBT においては、ベース層 4 とエミッタ層 5 の間にできる伝導帯端エネルギーの不連続によって、エミッタ抵抗が高くなってエミッタ層からベース層への注入効率が低下する可能性があるからである。これが問題となる程度は、この伝導帯端エネルギーの不連続量 ΔE_c の大きさに依存し、 ΔE_c が大きいほど大きな問題となる。

即ち、本実施形態の HBT においてベース・エミッタ中間層 11 を設けることにより、エミッタ抵抗を低減できる。

【0024】

また、ベース・エミッタ中間層 11 は、エミッタ層からベース層に向かって電子親和力が段階的に減少するようなプロフィールとしてもよい。

この場合、例えば InGaAsSb の組成において、エミッタ層からベース層に向かって組成比が複数段の階段状に変化するような組成傾斜を有する。即ち、一様な組成比の薄膜を複数層積層させ、各薄膜の組成比をエミッタ層からベース層に向かって複数段の階段状に変化させることにより擬似的な組成傾斜を設けた構成である。

さらに、ベース・エミッタ中間層 11 は、単にエミッタ層とベース層の電子親和力の間の値を有する単一組成の層としても一定の効果が得られる。

【0025】

ベース・エミッタ中間層としては、上記の n^+ 型の InGaAsSb のほか、例えば InAlGaAs あるいは InGaP などを用いることもできる。

あるいは、上記のように組成比が複数段の階段状に変化するようなプロフィールとするには、例えば InGaAs 薄膜と InAlAs 薄膜の多層膜や、 InP 薄膜と GaAsSb 薄膜の多層膜を用いることができる。

【0026】

その他、ベース層としては、例えば Sb を含む材料を用いることができ、また、エミッタ層やコレクタ層としては、例えば P または As を含む材料を用いることができる。

例えば、 P^+ 型の $GaAsSb$ よりなるベース層 4 はそのままに、エミッタ層 5 に n^+ 型の InGaAs 層を用い、ベース・エミッタ中間層 11 として InP を用いることもできる。この場合、ベース層とエミッタ層の間の ΔE_c が大きいため、中間層の存在はより重要となる。

【0027】

上記の説明から明らかなように、本実施形態の半導体装置の HBT は、従来の HBT と比較してエミッタ抵抗を低減し、エミッタ層からベース層への注入効率を高めることができ、パワーアンプに適用した場合、低歪高効率のパワーアンプを実現できる。

さらに、本実施形態の半導体装置の HBT は、製造プロセスにおいて、エミッタ・ベース間の Pn 接合の表面が露出しない構造をとりやすく、欠陥が導入されて信頼性が低下することを回避することができる。

本実施形態の半導体装置によれば、スタックガード・タイプの採用によりヘテロ接合バイポーラトランジスタのオフセット電圧 V_{offset} ならびに二重電圧の低減を可能にしながら、

10

20

30

40

50

エミッタ抵抗が高くなってエミッタ層からベース層への注入効率が下がることや、欠陥が導入されて信頼性が低下することなど、基本的なトランジスタ特性が惡化するのを抑制することができる。

【0028】

第2実施形態

本実施形態に係る半導体装置は、第1実施形態と同様に、エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであるスタaggerド・タイプのHBTを有し、図3は上記のスタaggerド・タイプのHBTの断面図である。例えば、半絶縁性のFeがドーパされた単結晶InPよりなる基板1上に、 n^+ 型のInGaAsよりなるサブコレクタ層2、 n 型のInPよりなるコレクタ層3、 n^+ 型のInGaAsSbよりなるベース・コレクタ中間層12、 P^+ 型のGaAsSbよりなるベース層4、 n 型のInPよりなるエミッタ層5、 n^+ 型のInGaAsよりなるキャップ層6が順次積層されている。

10

キャップ層6の上にはエミッタ電極7が形成されている。ベースコンタクト形成のために、キャップ層6、エミッタ層5の一部が除去され、メサ構造が形成されている。

コレクタ電極9の形成のためにもメサ構造が形成され、サブコレクタ層2の上部にコレクタ電極9が形成されている。

エミッタ電極7、ベース電極8、コレクタ電極9は、例えば、Ti/Pt/Auの積層体から形成されている。

また、電極と接していない半導体表面は、例えばSi₃N₄よりなる絶縁膜10により覆われている。

20

【0029】

図4は、図3に示すHBTに対応するエネルギーバンド構造を示す模式図であり、伝導帯Cと価電子帯Vのエネルギー準位を示している。

エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであり、いわゆるスタaggerド・タイプであることを示している。

ここで、ベース・コレクタ中間層12の電子親和力は、これを挟むコレクタ層とベース層の電子親和力の間の値を有しており、即ち、コレクタ層よりも電子親和力が小さく、ベース層よりも電子親和力が大きい構成となっている。このようなエネルギーバンドプロファイルを有する構成材料として、例えばInGaAsSbを用いることができる。

30

特に、ベース・コレクタ中間層12は、コレクタ層からベース層に向かって電子親和力が連続的に徐々に減少するようなプロファイルを有しており、これにより、ベース・コレクタ中間層12を挟むコレクタ層とベース層の電子親和力がなめらかに接続されるようなプロファイルとなっている。

この場合、例えばInGaAsSbの組成において、コレクタ層からベース層に向かって組成比が連続的に変化するような組成傾斜を有する構成となっている。

【0030】

本実施形態のHBTにおいて、コレクタ層からベース層に向かって電子親和力が連続的に徐々に減少するような材料で構成されたベース・コレクタ中間層12が設けられているが、その理由は、図7に示す従来例に係るHBTにおいては、ベース層4とエミッタ層5の間にできる伝導帯端エネルギーの不連続 ΔE_c が大きくなるに従って、ベース層からコレクタ層への直接トンネリングが生じやすく、ベース層とコレクタ層の間の耐圧の低下が生じやすくなるからである。

40

即ち、本実施形態のHBTにおいてベース・コレクタ中間層12を設けることにより、ベース層とコレクタ層の間の耐圧が劣化するのを抑制することができる。

【0031】

なお、第1実施形態において説明したベース・エミッタ中間層に対する補足は、ベース・コレクタ中間層に対してもそのままあてはまる。

即ち、第1実施形態のベース・エミッタ中間層11と同様に、ベース・コレクタ中間層12は、コレクタ層からベース層に向かって電子親和力が段階的に減少するようなプロファイル

50

イルとしてもよい。

この場合、例えば InGaAsSb の組成において、コレクタ層からベース層に向かって組成比が複数段の階段状に変化するような組成傾斜を有する。即ち、一様な組成比の薄膜を複数層積層させ、各薄膜の組成比をコレクタ層からベース層に向かって複数段の階段状に変化させることにより擬似的な組成傾斜を設けた構成である。

さらに、ベース・コレクタ中間層 12 は、単にコレクタ層とベース層の電子親和力の間の値を有する単一組成の層としても一定の効果が得られる。

【0032】

ベース・コレクタ中間層としては、上記の n^+ 型の InGaAsSb のほか、例えば InAlGaAs あるいは InGaP などを用いることもできる。

あるいは、上記のように組成比が複数段の階段状に変化するようなプロファイルとするには、例えば InGaAs 薄膜と InAlAs 薄膜の多層膜や、 InP 薄膜と GaAsSb 薄膜の多層膜を用いることができる。

【0033】

その他、ベース層としては、例えば Sb を含む材料を用いることができ、また、エミッタ層やコレクタ層としては、例えば P または As を含む材料を用いることができる。

例えば、 P^+ 型の GaAsSb よりなるベース層 4 はそのままに、コレクタ層 3 に n^+ 型の InGaAs 層を用い、ベース・コレクタ中間層 12 として InP を用いることもできる。この場合、ベース層とエミッタ層の間の ΔE_c が大きいため、中間層の存在はより重要となる。

【0034】

上記の説明から明らかなように、本実施形態の半導体装置の HBT は、従来の HBT と比較してベース層とコレクタ層の間の耐圧が劣化するのを抑制することができる。

本実施形態の半導体装置によれば、スタaggerド・タイプの採用によりヘテロ接合バイポーラトランジスタのオフセット電圧 V_{offset} ならびにニー電圧の低減を可能にしながら、ベース層とコレクタ層の間の耐圧が下がるという基本的なトランジスタ特性が惡化するのを抑制することができる。

【0035】

第3実施形態

本実施形態に係る半導体装置は、第1実施形態および第2実施形態と同様に、エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであるスタaggerド・タイプの HBT を有し、図5は上記のスタaggerド・タイプの HBT の断面図である。

例えば、半絶縁性の Fe がドーパされた単結晶 InP よりなる基板 1 上に、 n^+ 型の InGaAs よりなるサブコレクタ層 2、 n 型の InP よりなるコレクタ層 3、 n^+ 型の InGaAsSb よりなるベース・コレクタ中間層 12、 P^+ 型の GaAsSb よりなるベース層 4、 n^+ 型の InGaAsSb よりなるベース・エミッタ中間層 11、 n 型の InP よりなるエミッタ層 5、 n^+ 型の InGaAs よりなるキャップ層 6 が順次積層されている。

キャップ層 6 の上にはエミッタ電極 7 が形成されている。ベースコンタクト形成のために、キャップ層 6、エミッタ層 5 の一部が除去され、メサ構造が形成されている。ベース電極 8 近傍のベース・エミッタ中間層 11 は除去されていてベース電極 8 とベース層 4 が直接コンタクトしていてもよく、あるいは、ベース電極 8 とベース層 4 の間に、ベース・エミッタ中間層 11 の一部が介在してもいい。

コレクタ電極 9 の形成のためにもメサ構造が形成され、サブコレクタ層 2 の上部にコレクタ電極 9 が形成されている。

エミッタ電極 7、ベース電極 8、コレクタ電極 9 は、例えば、 $\text{Ti}/\text{Pt}/\text{Au}$ の積層体から形成されている。

また、電極と接していない半導体表面は、例えば Si_3N_4 よりなる絶縁膜 10 により覆われている。

【0036】

図6は、図5に示すHBTに対応するエネルギーバンド構造を示す模式図であり、伝導帯Cと価電子帯Vのエネルギー準位を示している。

エミッタやコレクタの電子親和力がベースの電子親和力よりも大きいエネルギーバンドプロファイルであり、いわゆるスタガード・タイプであることを示している。

ここで、ベース・エミッタ中間層11およびベース・コレクタ中間層12の電子親和力は、それぞれ第1実施形態および第2実施形態に説明した特性を有している。

即ち、ベース・エミッタ中間層11は、これを挟むエミッタ層とベース層の電子親和力の間の値を有しており、ベース・コレクタ中間層12は、これを挟むコレクタ層とベース層の電子親和力の間の値を有している。

ベース・エミッタ中間層11およびベース・コレクタ中間層12の電子親和力は、徐々に連続的に変化するプロファイルや、複数段の階段状に変化するプロファイルとすることができ、さらにそれらを挟む層の間の単一の値とすることもできる。

10

【0037】

本実施形態の半導体装置のHBTは、従来のHBTと比較してエミッタ抵抗を低減し、エミッタ層からベース層への注入効率を高めることができ、パワーアンプに適用した場合、低歪高効率のパワーアンプを実現できる。

さらに、本実施形態の半導体装置のHBTは、製造プロセスにおいて、エミッタ・ベース間のPn接合の表面が露出しない構成とすることが容易なため、欠陥が導入されて信頼性が低下することを回避することができる。

20

さらに、従来のHBTと比較してベース層とコレクタ層の間の耐圧が劣化するのを抑制することができる。

【0038】

また、本実施形態の半導体装置のHBTは、エミッタ・ベース間の順方向立ち上がり電圧 V_{teb} とベース・コレクタ間の順方向立ち上がり電圧 V_{tbc} がほぼ等しいので、 $V_{teb} - V_{tbc}$ の値をほぼ0に近づけられる。

【0039】

本実施形態の半導体装置によれば、スタガード・タイプの採用によりヘテロ接合バイポーラトランジスタのオフセット電圧 V_{offset} ならびに二電圧の低減を可能にしながら、エミッタ抵抗が高くなってエミッタ層からベース層への注入効率が下がること、ベース層とコレクタ層の間の耐圧が下がること、あるいは欠陥が導入されて信頼性が低下することなどの基本的なトランジスタ特性が悪化するのを抑制することができる。

30

【0040】

本発明の半導体装置は上記の実施形態に限定されない。

例えば、実施形態においてはn-p-n型のバイポーラトランジスタについて説明しているが、p-n-p型に適用することも可能である。

また、コレクタ層、ベース層およびエミッタ層の積層体のメサ構造の形状や各層に接続する電極の配置などは、実施形態に限定されず、種々の形状、配置を採用することができる。

この他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

40

【0041】

【発明の効果】

本発明の半導体装置によれば、ヘテロ接合バイポーラトランジスタを有する半導体装置において、ヘテロ接合バイポーラトランジスタのオフセット電圧 V_{offset} ならびに二電圧の低減を可能にしながら、エミッタ抵抗が高くなってエミッタ層からベース層への注入効率が下がること、ベース層とコレクタ層の間の耐圧を劣化させること、あるいは欠陥が導入されて信頼性が低下してしまうことなどの基本的なトランジスタ特性が悪化することを抑制できる。

【図面の簡単な説明】

【図1】図1は第1実施形態に係る半導体装置のスタガード・タイプのHBTの断面図

50

である。

【図2】図2は図1に示すHBTに対応するエネルギーバンド構造を示す模式図である。

【図3】図3は第2実施形態に係る半導体装置のスタガード・タイプのHBTの断面図である。

【図4】図4は図3に示すHBTに対応するエネルギーバンド構造を示す模式図である。

【図5】図5は第3実施形態に係る半導体装置のスタガード・タイプのHBTの断面図である。

【図6】図6は図5に示すHBTに対応するエネルギーバンド構造を示す模式図である。

【図7】図7は従来例に係る半導体装置のスタガード・タイプのHBTの断面図である。

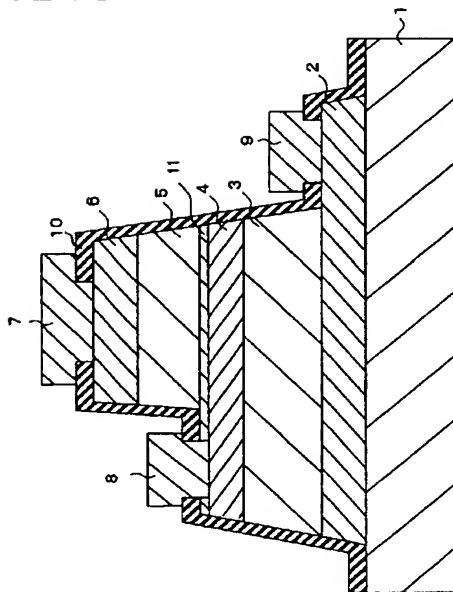
10

【図8】図8は図7に示すHBTに対応するエネルギーバンド構造を示す模式図である。

【符号の説明】

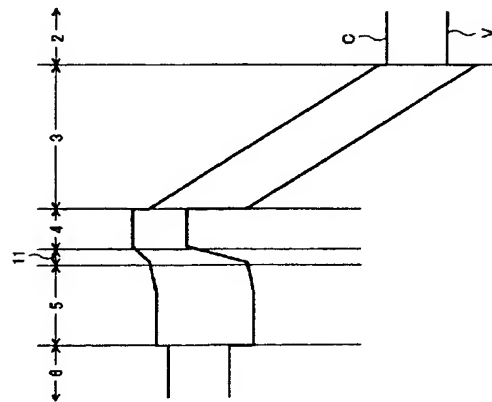
1 基板、2 サブコレクタ層、3 コレクタ層、4 ベース層、5 エミッタ層、6 キャップ層、7 エミッタ電極、8 ベース電極、9 コレクタ電極、10 絶縁膜、11 ベース・エミッタ中間層、12 ベース・コレクタ中間層。

【図1】

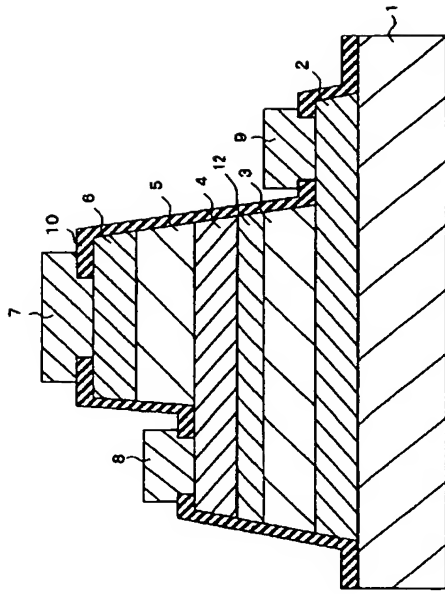


3: コレクタ層
4: ベース層
5: エミッタ層
11: ベース・エミッタ中間層

【図2】

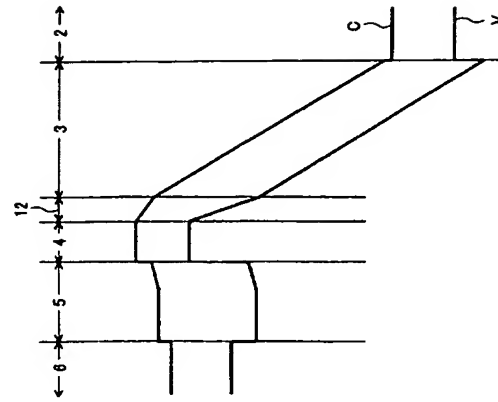


【図 3】

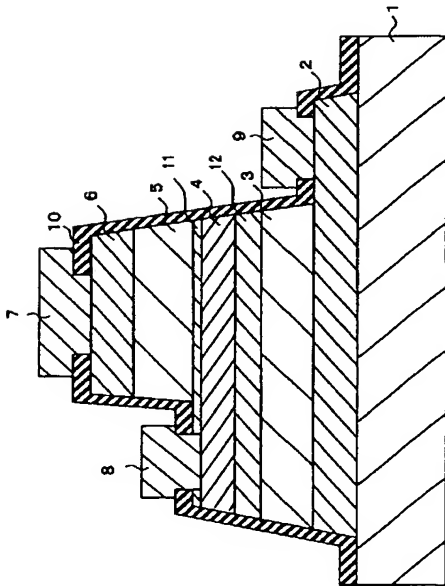


12: ベース・コレクタ中間層

【図 4】



【図 5】



【図 6】

